

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-197426

(43)Date of publication of application : 11.07.2003

(51)Int.Cl.

H01F 17/00

H01F 17/04

H01F 27/00

H01G 4/40

(21)Application number : 2001-392938

(71)Applicant : TDK CORP

(22)Date of filing : 25.12.2001

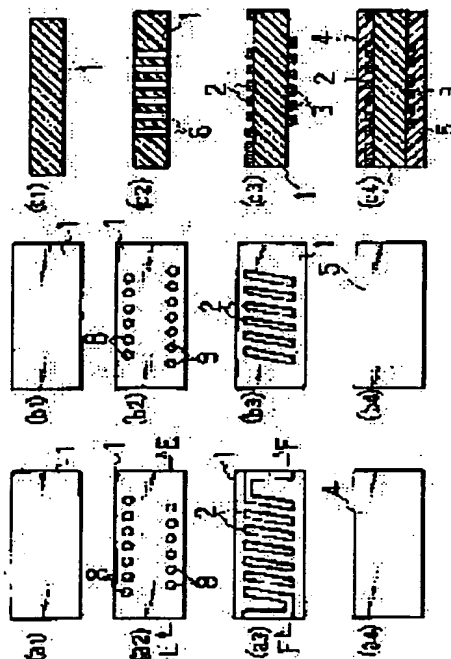
(72)Inventor : TAKATANI MINORU  
ENDO TOSHICHI

## (54) COMPOSITE ELECTRONIC COMPONENT CONTAINING INDUCTANCE ELEMENT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a composite electronic component that incorporates an inductance element, where electrical characteristics can be changed into narrow tolerance and a high Q value.

**SOLUTION:** Two rows of through-holes 8 are formed in a first layer 1, made of a composite material consisting of functional material powder is mixed with resin, or resin. Conductor patterns 2 and 3 are formed so that the through-holes 8 and 8 in different rows are connected on the upper and lower surfaces of the first layer 1. A helical coil is composed in the surface direction of the first layer 1 with a conductor in the through-hole 8 and the conductor patterns 2 and 3. Second layers 4 and 5 are formed by the composite material or resin so as to cover each of the upper and lower conductor patterns 2 and 3.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2003-197426

(P 2003-197426 A)

(43) 公開日 平成15年7月11日 (2003. 7. 11)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マコード* (参考)
H 0 1 F	17/00	H 0 1 F	17/00 C 5E070
	17/04		17/04 F 5E082
	27/00	H 0 1 G	4/40 3 2 1 A
H 0 1 G	4/40	H 0 1 F	15/00 D

審査請求 未請求 請求項の数 4

O L

(全 8 頁)

(21) 出願番号 特願2001-392938 (P2001-392938)

(22) 出願日 平成13年12月25日 (2001. 12. 25)

(71) 出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72) 発明者 高谷 稔

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(72) 発明者 遠藤 敏一

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(74) 代理人 100081569

弁理士 若田 勝一

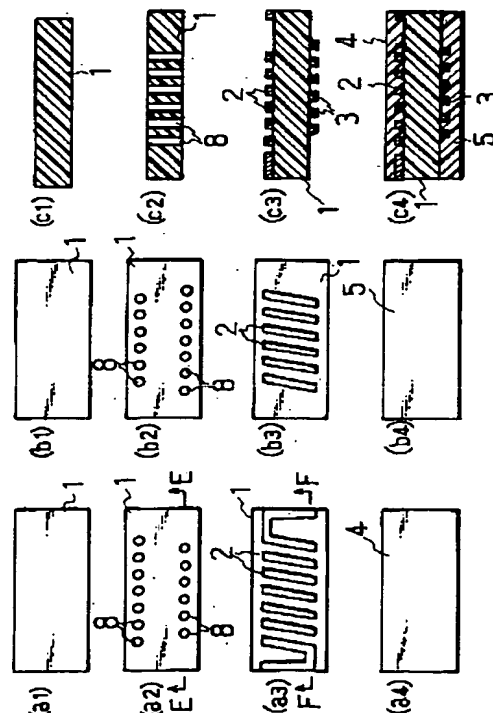
最終頁に続く

(54) 【発明の名称】 インダクタンス素子を含む複合電子部品

(57) 【要約】

【課題】電気的特性の狭公差化、高Q値化が得られるインダクタンス素子を内蔵した複合電子部品を提供することを目的とする。

【解決手段】機能材料粉末と樹脂とを混合した複合材料または樹脂でなる第1の層1に2列にスルーホール8を形成する。第1の層1の上下面において異なる列のスルーホール8、8間を連絡するように導体パターン2、3を形成する。スルーホール8内導体と導体パターン2、3と共に第1の層1の面方向にヘリカル状のコイルを構成する。上下の導体パターン2、3をそれぞれ覆うように前記複合材料または前記樹脂により第2の層4、5を形成する。



## 【特許請求の範囲】

【請求項 1】機能材料粉末と樹脂とを混合した複合材料または樹脂でなる第 1 の層に 2 列に形成されたスルーホールと、

前記第 1 の層の上下面において異なる列のスルーホール間を連絡するように形成されて前記スルーホール内導体と共に第 1 の層の面方向にヘリカル状のコイルを構成する導体パターンと、

該上下の導体パターンをそれぞれ覆うように前記複合材料または前記樹脂により形成された第 2 の層とにより構成されたインダクタンス素子を内蔵していることを特徴とするインダクタンス素子を含む複合電子部品。

【請求項 2】機能材料粉末と樹脂とを混合した複合材料または樹脂でなる第 1 の層の互いに対向する 2 つの側面に、導体内蔵のスルーホールの切断により形成された導体と、

前記第 1 の層の上下面において前記対向する側面の導体間を連絡するように形成されて前記側面の導体と共に第 1 の層の面方向にヘリカル状のコイルを構成する導体パターンと、

該上下の導体パターンをそれぞれ覆うように前記複合材料または前記樹脂により形成された第 2 の層とにより構成されたインダクタンス素子を内蔵していることを特徴とするインダクタンス素子を含む複合電子部品。

【請求項 3】請求項 1 または 2 に記載のインダクタンス素子を含む複合電子部品において、

前記第 1 の層と第 2 の層との間に、前記第 1 の層および第 2 の層より低誘電率の第 3 の層を設け、該第 3 の層により前記導体パターンを覆ってなるインダクタンス素子を内蔵していることを特徴とするインダクタンス素子を含む複合電子部品。

【請求項 4】請求項 1 から 3 までのいずれかに記載のインダクタンス素子を含む複合電子部品において、

前記導体パターンは、シート状に設けられた導体にレーザ加工によってスリットを設けることにより形成されていることを特徴とするインダクタンス素子を含む複合電子部品。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、機能材料粉末と樹脂とを混合した複合材料または樹脂を用いて構成されるインダクタンス素子を含む複合電子部品に関する。

【0002】

【従来の技術】インダクタンス素子を含む複合電子部品における内蔵インダクタンス素子の一例として、機能材料粉末と樹脂とを混合した複合材料または樹脂からなるコア基板の表裏面にフォトリソ工法を用いてスパイラル状にコイルを形成したものがある。また、他の従来例として、フェライト等の磁性体セラミックスや誘電体セラミックスからなる積層インダクタを内蔵する複合電子部

品に代表されるように、1/2～3/4 ターン巻きの導体パターンを多層積層することにより、積層方向にヘリカル状のコイルを巻上げたものがある。

【0003】

【発明が解決しようとする課題】前記従来のインダクタンス素子のうち、スパイラル状にコイルを形成したものは、フォトリソ工法を用いているので、パターン精度が高く、インダクタンス値の狭公差化は図れるものの、コイル形状がスパイラル状をなすことから、自己共振周波数と Q 値が低いという問題点がある。

【0004】一方、前記のように導体パターンを積層方向に多層積層してヘリカル状のコイルを形成したものは、Q 値は高くとれるが、多層構造であるため、各層間の導体パターンの位置合わせを高精度に行うことが困難であるため、狭公差化が図れないという問題点がある。

【0005】本発明の目的は、上記の実情に鑑み、電気的特性の狭公差化、高 Q 値化が得られるインダクタンス素子を含む複合電子部品を提供することを目的とする。また本発明は、自己共振周波数の高周波化が図れるインダクタンス素子を含む複合電子部品を提供することを他の目的とする。

【0006】

【課題を解決するための手段】請求項 1 のインダクタンス素子を含む複合電子部品は、機能材料粉末と樹脂とを混合した複合材料または樹脂でなる第 1 の層に 2 列に形成されたスルーホールと、前記第 1 の層の上下面において異なる列のスルーホール間を連絡するように形成されて前記スルーホール内導体と共に第 1 の層の面方向にヘリカル状のコイルを構成する導体パターンと、該上下の導体パターンをそれぞれ覆うように前記複合材料または前記樹脂により形成された第 2 の層とにより構成されたインダクタンス素子を内蔵していることを特徴とする。

【0007】このような構成とすれば、導体パターンはフォトリソ工法等のようにパターン精度の高い形成工程によって実現できる上、第 1 の層（コア基板）の平坦部に導体パターンが形成されるので、導体パターンの位置精度が高められ、多層積層による場合のパターンのずれによる特性のばらつきが少ないため、電気的特性の狭公差化が達成できる。また、積層工程でヘリカル状コイルを構成するのではなく、平面的導体パターンの形成によってコイルを構成するので、コイルを短時間で構成できる上、電気的特性の狭公差化により、特性調整のためのトリミングが不要となるので、コストダウンが図れる。また、前記のように導体パターンの位置精度を高めることができるので、Q 値の小さい樹脂または複合材料を用いることが可能であることともあいまって、Q 値の向上とこれに伴う損失の低減が可能となる。

【0008】請求項 2 のインダクタンス素子を含む複合電子部品は、機能材料粉末と樹脂とを混合した複合材料または樹脂でなる第 1 の層の互いに対向する 2 つの側面

に、導体内蔵のスルーホールの切断により形成された導体と、前記第 1 の層の上下面において前記対向する側面の導体間を連絡するように形成されて前記側面の導体と共に第 1 の層の面方向にヘリカル状のコイルを構成する導体パターンと、該上下の導体パターンをそれぞれ覆うように前記複合材料または前記樹脂により形成された第 2 の層とにより構成されたインダクタンス素子を内蔵していることを特徴とする。

【0009】このように、コイル形成用の導体パターンを対向する側面間に形成することにより、コイル導体を長く形成することが可能となり、さらなる Q 値の向上とこれに伴う損失の低減、およびインダクタンス値の向上が図れる。

【0010】請求項 3 のインダクタンス素子を含む複合電子部品は、請求項 1 または 2 において、前記第 1 の層と第 2 の層との間に、前記第 1 の層および第 2 の層より低誘電率の第 3 の層を設け、該第 3 の層により前記導体パターンを覆ってなるインダクタンス素子を内蔵していることを特徴とする。

【0011】このように、低誘電率の第 3 の層を設けることにより、隣接するコイル導体間の容量結合を防止することができ、自己共振周波数が高くなり、電気的特性の高周波化が図れる。

【0012】請求項 4 のインダクタンス素子を含む複合電子部品は、請求項 1 から 3 までのいずれかにおいて、前記導体パターンは、シート状に設けられた導体にレーザ加工によってスリットを設けることにより形成されていることを特徴とする。

【0013】このように、コイルの導体パターンをレーザ加工によって形成することにより、狭いコイル導体間隔も形成可能となり、小型化が図れる。

【0014】

【発明の実施の形態】図 1 (A) は本発明によるインダクタンス素子を含む複合電子部品の一実施の形態を積層フィルタ (バンドパスフィルタ) を示す層構造図、図 1 (B) はその回路図である。図 1 (B) に示すように、該複合電子部品は、コンデンサ C 1 ~ C 3 とインダクタンス素子 L 1、L 2 とからなる。

【0015】図 1 (A) において、1 は機能材料粉末と樹脂とを混合してなる複合材料または樹脂でなる第 1 の層であり、本例では該第 1 の層 1 を 2 つの層 1 a、1 b の積層したもので構成している。2、3 はその表裏面に設けられた導体パターンであり、これらの導体パターン 2、3 はそれぞれ両端が対応する導体パターンの端部に不図示のスルーホール内導体を介して接続されることにより、第 1 の層 1 の面方向 (紙面における左右方向) に巻上げられたコイル (インダクタンス素子) を構成する。4、5 はこれらの導体パターン 2、3 を覆うように第 1 の層 1 の表裏面に重ねて形成された第 2 の層であり、該第 2 の層 4、5 も複合材料または樹脂を用いて形

成される。この例では、紙面に垂直方向に 2 つのインダクタンス素子 L 1、L 2 が構成される。

【0016】9、10 はコンデンサ電極、11 は両電極間に介在させる誘電体層でありこれらによりコンデンサが構成される。12、13 はこのコンデンサの上下に設けられた誘電体層である。誘電体層 11 ~ 13 は機能材料粉末と樹脂とを混合してなる複合材料または樹脂でなる。本例ではこれらのコンデンサは紙面に垂直方向に複数個構成される。6、7 はこの素子の両端に設けられた端子電極である。なお、インダクタ素子 L 1、L 2 やコンデンサ C 1 ~ C 3 は、スルーホールまたは外部電極 (いずれも図示せず) により接続される。コンデンサ電極 9、10 および誘電体層 11 は複数層設けてもよい。

【0017】図 2 は図 1 (A) の内蔵インダクタンス素子の製造工程図であり、多数個取りされる素材の各工程において、それぞれ内蔵インダクタンス素子の 1 個分について示している。図 2 において、(a 1) ~ (a 4) は素材の表面を示し、(b 1) ~ (b 4) は素材の裏面を示し、(c 1) ~ (c 4) は断面を示す。これらの図は左右に並べた図がそれぞれ対応している。(c 2)、(c 3) はそれぞれ (a 2)、(a 3) の E-E、F-F 断面図である。

【0018】(a 1) ~ (c 1) に示す第 1 の層 1 には、磁性粉末としてのフェライト粉末とエポキシ樹脂とを混合した複合材料を用い、その硬化後のコア基板の厚みを 0.4 mm とした。このコア基板に、(a 2) ~ (c 2) に示すように、レーザ加工により 0.07 mm の直径のスルーホール 8 を片側に 7 個、他側に 6 個、2 列に並ぶように設けた。

【0019】次に (a 3) ~ (c 3) に示すように、フォトリソ工法を用いて、銅により導体幅 0.04 mm、厚み 0.04 mm の導体パターン 2、3 を形成する。また、スルーホール 8 内にも銅をめっきにより形成し、これにより第 1 の層 1 の面方向に巻上げられたヘリカル状のコイルを構成した。

【0020】次に (a 4) ~ (c 4) に示すように、磁性粉末としてのフェライト粉末とエポキシ樹脂とを混合した複合材料をコア基板 (第 1 の層) 1 の表裏面に印刷して覆い、硬化させた。その後、前記誘電体層 12、コンデンサ電極 9 をブリブリの熱圧着およびフォトリソ工法またはエッチングにより積層し、同様に誘電体層 11、コンデンサ電極 10、誘電体層 13 の積層を行った。これらの作業を複数回繰り返して多層化してもよい。

【0021】このように内部インダクタンス素子を構成すれば、従来例より大きなインピーダンス値 (インダクタンス値) が得られる。また、導体パターン 2、3 をフォトリソ工法等により構成できる上、平面上に導体パターン 2、3 を高精度に形成できるので、インピーダンス値のばらつきが大幅に小さくなり、電気的特性の狭公差

化が達成できた。特に 1 GHz 以上のものにおいて、従来より高いインダクタンス値が得られる。

【0022】また、積層工程でヘリカル状コイルを順次巻上げて構成するのではなく、平面的導体パターンの形成と、スルーホールとによってコイルを構成するので、コイルを短時間で構成できる上、電気的特性の狭公差化により、特性調整のためのトリミングが不要となるので、コストダウンが図れる。

【0023】また、コイルに流れる電流による磁束が第 1 の層 1 の面方向に通る構成であり、隣接するコイル用導体間の間隔を一定にすることができる上、前記のように導体パターン 2、3 の位置精度を高めることができるので、樹脂または複合材料と用いることで Q 値を向上させることができ、損失を低減できる。

【0024】なお、図 1 (A)、図 2 に示した構造、製造工程を同一とし、第 1 の層 1 と第 2 の層 4、5 の材料を、誘電体粉末としてのシリカ粉末とビニルベンジル樹脂とを混合したもののような低誘電率複合材料に変えたインダクタンス素子を作製することもできる。

【0025】このようなインダクタンス素子は、前記例と同様にインダクタンス特性が狭公差化される。また、低誘電率の複合材料により素子を構成したので、自己共振周波数がより高くなる。また、ビニルベンジル樹脂がエポキシ樹脂より誘電損失が小さいため、高 Q 特性のインダクタンス素子を得ることができる。

【0026】図 1 (C) は本発明によるインダクタンス素子を含む複合電子部品の他の実施の形態を示す断面図、図 3 はその製造工程を示す図である。本実施の形態においては、図 1 (C) に示すように、前記第 1 の層 1 と第 2 の層 4、5 との間に、前記第 1 の層 1 および第 2 の層 4、5 より低誘電率の第 3 の層 14、15 を設け、該第 3 の層 14、15 により前記導体パターン 2、3 を覆ったものである。

【0027】図 3 の工程図において、(a 1) ~ (a 5) は素材の表面を示し、(b 1) ~ (b 5) は素材の裏面を示し、(c 1) ~ (c 5) は断面を示す。図 3 の実施の形態においては、第 1 の層 1 に磁性粉末としてのフェライト粉末とエポキシ樹脂とを混合した複合材料を用いた。このコア基板に、(a 2) ~ (c 2) に示すように、レーザ加工により 0.07 mm の直径のスルーホール 8 を前述の場合と同様に片側に 7 個、他側に 6 個、2 列に並ぶように設けた。

【0028】次に (a 3) ~ (c 3) に示すように、フォトリソ工法を用いて、銅により導体幅 0.04 mm、厚み 0.04 mm の導体パターン 2、3 を形成する。また、スルーホール 8 内にも銅をめっきにより形成し、これにより第 1 の層 1 の面方向に巻上げられたヘリカル状のコイルを構成した。

【0029】次に (a 4) ~ (c 4) に示すように、低誘電率複合材料としてのシリカ粉末とビニルベンジル樹

脂との混合材料を前記導体パターン 2、3 を覆うように印刷し、乾燥することにより、第 3 の層 14、15 を形成した。

【0030】次に (a 5) ~ (c 5) に示すように、磁性粉末としてのフェライト粉末とエポキシ樹脂とを混合した複合材料をコア基板 (第 1 の層) 1 およびの表裏面に印刷して覆った。

【0031】このような構造とすれば、第 3 の層 14、15 が低誘電率であることから、導体パターン 2、3 の隣接する導体間容量結合が低減されるため、自己共振周波数が高くなり、かつより高い周波数帯域まで高いインピーダンス値を得ることが可能となった。

【0032】図 1 (A)、(C) に示すようなインダクタンス素子とコンデンサとの組み合わせ構造の複合電子部品あるいは複数のインダクタンス素子を含む構造は、バンドパスフィルタ以外に、バルン、カプラ、分配器、アンテナ、ローパスフィルタ、ハイパスフィルタ、LC トラップ、トランス等に用いることができる。

【0033】図 4 は本発明による内蔵インダクタンス素子の他の実施の形態を示す製造工程図である。図 4 においても、(a 1) ~ (a 4) は素材の表面を示し、(b 1) ~ (b 4) は素材の裏面を示し、(c 1) ~ (c 4) は断面を示す。本実施の形態が図 3 のものと異なる点は、スルーホール 8 A を楕円形状 (長孔でもよい) にして対向する両側面となる箇所に複数個ずつ形成し、そのスルーホール 8 A の内部に銅をめっきにより形成すると共に、スルーホール 8 A、8 A 間を接続するように導体パターン 2 A、3 A を設けてコイルを構成したものである。素材の切断により、スルーホール 8 A はそのほぼ中央部で切断されるため、チップ状態では側面電極 16 として残る。この場合も、層 1、4、5 の材料としては、前記磁性粉末または誘電体粉末と樹脂との混合材料を用いることができる。

【0034】このようにスルーホール 8 A、8 A を設ける構成とすれば、特性の狭公差化は勿論のこと、導体パターン 2 A、3 A を長くすることができるので、高いインダクタンス値が得られ、高い Q 値のインダクタンス素子が得られる。また、シリカ粉末とビニルベンジル樹脂との混合材料を層 1、4、5 に用いることにより、高い共振周波数のものが得られる。図 3 に示したような第 3 の層 14、15 を有する構造を図 4 のインダクタンス素子にも適用することができる。

【0035】図 5 は本発明による内蔵インダクタンス素子の他の実施の形態を示す製造工程図である。図 5 において、(a 1) ~ (a 5) は素材の表面を示し、(b 1) ~ (b 5) は素材の裏面を示し、(c 1) ~ (c 5) は断面を示す。図 5 の実施の形態が図 2 のものと異なる点は、(a 3) ~ (c 3) に示すように、コア基板 1 の表裏面にフォトリソ工法またはエッチングにより平板状の導体パターン 17、18 を形成した後、(a 4)

～(c4)に示すように、レーザ加工により切り込み19、20を入れて導体パターン2、3を形成したことにある。

【0036】このようにレーザ加工によって導体パターン2、3を形成すれば、導体パターンの間隔を狭くできるため、インダクタンス値、Q値ともに高くすることができる。なお、図3、図4の構造を図5のインダクタンス素子にも適用することができる。

【0037】図6(A)は本発明の他の実施の形態を示す層構造図、図6(B)はその回路図であり、携帯電話等の移動体通信機器用の電圧制御発振器(VCO)を構成するものである。図6(B)に示すように、この電圧制御発振器は、制御端子24に加える電圧(25は電源端子)により、出力端子26から出力される信号の周波数に変化するもので、C1～C9はコンデンサ、L1～L3はインダクタンス素子、R1～R4は抵抗、VDはバリキャップダイオード、Laは共振器、Q1、Q2はトランジスタである。

【0038】図6(A)に示すように、前記した第1の層1の上下面に形成する導体パターン2、3およびスルーホール内導体(図示せず)により、前記インダクタンス素子L1～L3等のインダクタンス素子を構成する。また、コンデンサ電極9、10および誘電体層11、さらにはその上下の層12、13により、コンデンサC1～C9の一部または全部を構成する。ストリップライン22とグランド電極23は共振器Laを構成する。また、搭載部品21は前記トランジスタQ1、Q2や抵抗R1～R4あるいはコンデンサの一部等である。

【0039】図6(A)において、インダクタンス素子の第1の層1、第2の層4、5を、シリカ粉末等のように誘電率が低く、Q値が高い機能材料粉末とビニルベンジル樹脂等のように誘電率が低い有機材料を混合した複合材料を用い、かつ第1の層1の面方向にコイルを構成することにより、自己共振周波数が高く、Q値が高く、電気的特性の狭公差化されたVCOを構成することが可能となる。

【0040】図6(A)のような複合電子部品は、携帯電話等の移動体通信機器におけるPA(パワーアンプ)モジュール、フロントエンドモジュール、高周波重畳モジュール、PLL(位相ロックドループ)モジュール、TCXO(温度補償水晶発振器)モジュール、RF(高周波)ユニット、アンテナフロントエンドモジュール、PA-アイソレータモジュール、チューナーユニット、DC-DCコンバータ等にも適用可能である。

【0041】図6(A)において、第1の層1や第2の層4、5として、フェライトのように透磁率が高く、損失の大きな機能材料粉末と、エポキシ樹脂等の樹脂との複合材料を用いることにより、小型で、前記低誘電率の複合材料または樹脂を用いた場合よりも比較的低周波領域で、Q値の優れたインダクタンス素子を含む複合電

子部品を構成することができる。

【0042】図6(C)は複合電子部品の他の実施の形態を示す層構造図である。本実施の形態は、図3に示したように、スルーホール内導体とでコイルを構成する導体パターン2、3を覆うように第3の層14、15を設けたものである。これにより、自己共振周波数が高いインダクタンス素子を複合電子部品に内蔵させることができる。

【0043】本発明を実施する場合、樹脂としては、前記のもの以外に、BTレジン、ポリイミド樹脂、フェノール樹脂、フッ素樹脂あるいはその他の樹脂を用いることができる。また、樹脂または複合材料中には、必要に応じて補強のためのガラス繊維を設けてもよい。また、導体パターン2、3の形成は、フォトリソ工法やエッチング以外にスパッタリングやCVD等によっても形成することができる。また、複合材料に混合する機能材料粉末としては、フェライトやシリカ以外のガラス系セラミック、フォルステライト系セラミック、チタン酸系セラミック等の粉末を使用することができる。

【0044】

【発明の効果】請求項1によれば、インダクタンス素子を内蔵する複合電子部品において、インダクタンス素子を構成する第1の層(コア基板)の平坦部にフォトリソ法等により導体パターンが形成されるので、電気的特性の狭公差化が達成できる。また、コイルを構成する導体パターンが平面部において形成され、コイル形成が短時間に行える上、特性調整のためのトリミングが不要となり、大幅なコストダウンが可能となる。

【0045】また、前記のように導体パターンの位置精度を高めることができる上、複合材料や樹脂を用いているので、Q値を向上させることができる。

【0046】請求項2によれば、コイル形成用の導体パターンを対向する側面間に形成することにより、コイル導体を長く形成することが可能となり、さらなるQ値の向上およびインダクタンス値の向上が図れる。

【0047】請求項3によれば、低誘電率の第3の層を設けたので、隣接するコイル導体間の容量結合を防止することができ、自己共振周波数が高くなり、電気的特性の高周波化が図れる。

【0048】請求項4によれば、コイルの導体パターンをレーザ加工によって形成することにより、狭いコイル導体間隔も形成可能となり、小型化が図れる。

【図面の簡単な説明】

【図1】(A)、(B)はそれぞれ本発明によるインダクタンス素子を含む複合電子部品の一実施の形態を示す層構造図および回路図、(C)は本発明の複合電子部品の他の実施の形態を示す層構造図である。

【図2】図1(A)の内蔵インダクタンス素子部の製造工程図である。

【図3】図1(C)の内蔵インダクタンス素子部の製造



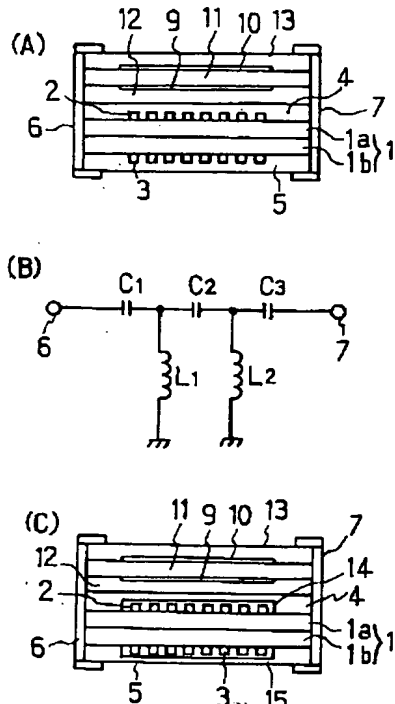
工程図である。

【図4】本発明による他の実施の形態を示すインダクタンス素子部の製造工程図である。

【図5】本発明による他の実施の形態を示すインダクタンス素子部の製造工程図である。

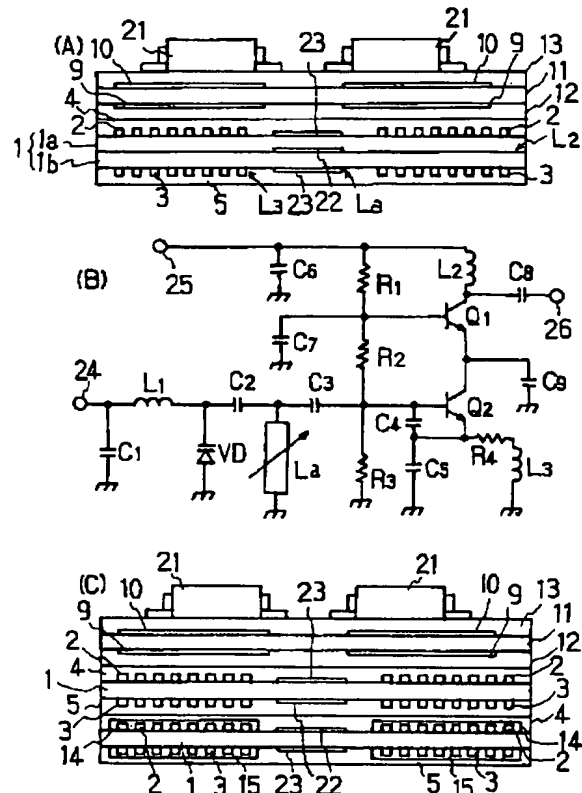
【図6】(A)、(B)はそれぞれ本発明によるインダクタンス素子を含む複合電子部品の一実施の形態を示す層構造図および回路図、(C)は本発明の複合電子部品の他の実施の形態を示す層構造図である。

【図1】



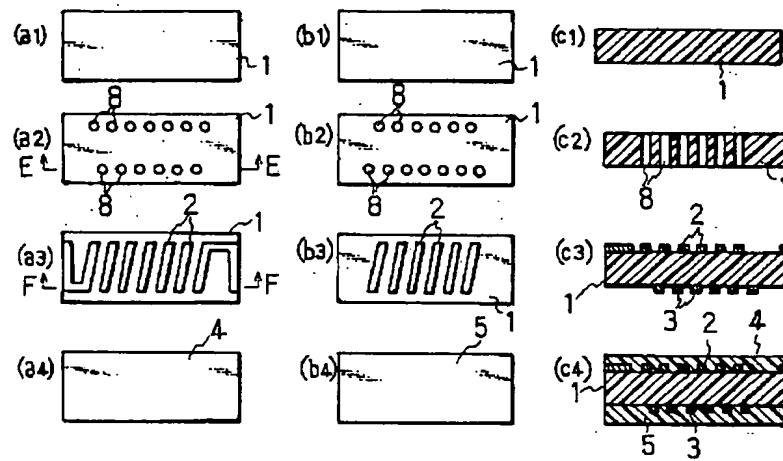
1: 第1の層、2、3: 導体パターン、4、5: 第2の層、6、7: 端子電極  
9、10: コンデンサ電極、11~13: 誘電体層、14、15: 第3の層

【図6】

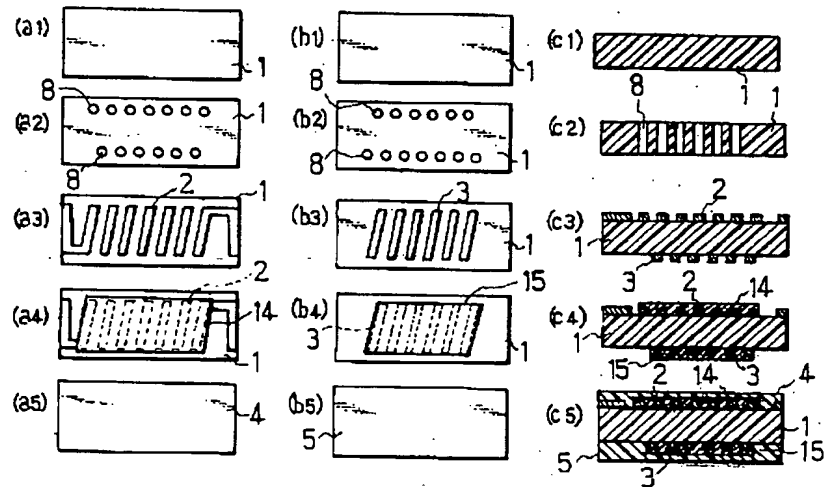


1: 第1の層、2、3: 導体パターン、4、5: 第2の層、6、7: 端子電極  
9、10: コンデンサ電極、11~13: 誘電体層、14、15: 第3の層  
21: 搭載部品、22: ストリップライン、23: グランド電極

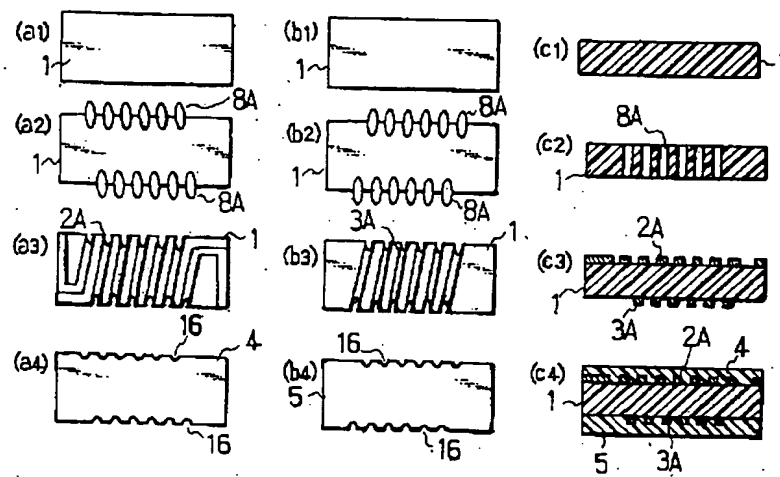
【図 2】



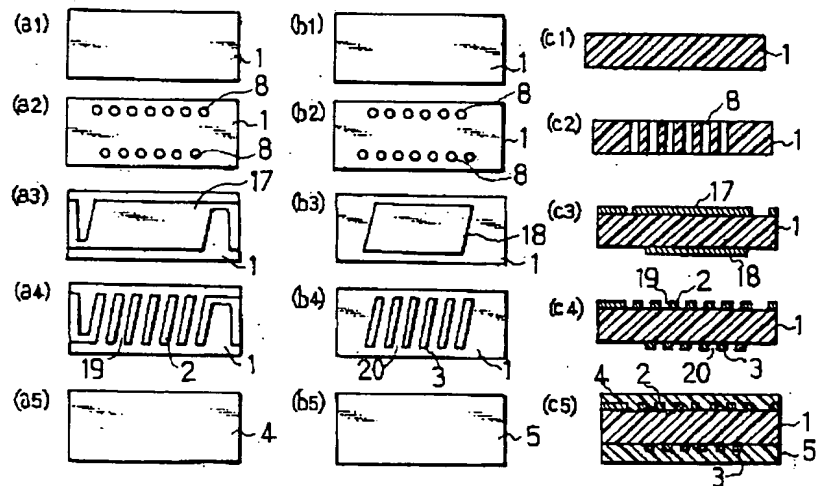
【図 3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 5E070 AA01 AA05 AB01 AB06 BA12  
 BB03 CB13 CB16  
 5E082 AA01 AB01 AB03 BB01 BB07  
 DD07 EE04 FF05 FG26 MM05